

## DETAIL

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

---

Copyright (C); 1998 Japanese Patent Office

---

**MENU**

**SEARCH**

**INDEX**

**DETAIL**

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-285234

(43) 公開日 平成10年(1998)10月23日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 L 29/02

H 0 4 L 13/00

3 0 1 Z

G 0 6 F 13/00

3 5 3

G 0 6 F 13/00

3 5 3 T

審査請求 未請求 請求項の数 7 O L (全 10 頁)

(21) 出願番号 特願平9-83138

(22) 出願日 平成9年(1997)4月1日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 武藤 隆保

東京都品川区北品川6丁目7番35号 ソニー株式会社内

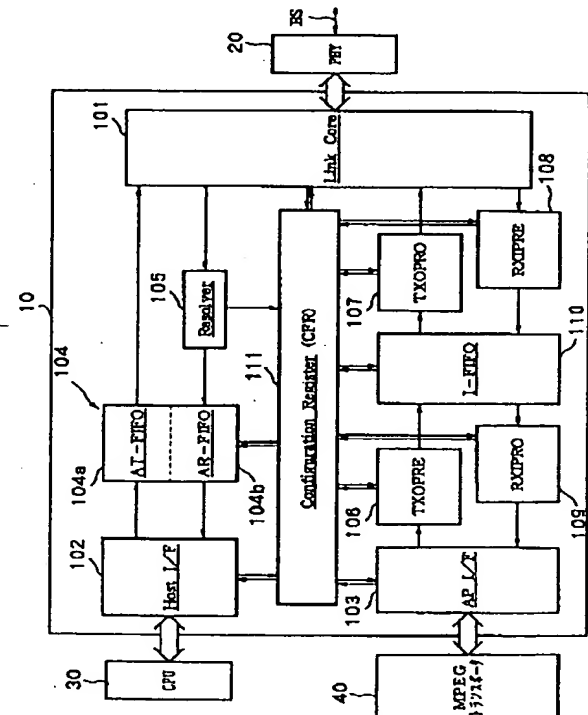
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 信号処理回路およびその方法

(57) 【要約】

【課題】 シリアルインタフェースの分割パケットの受信時に、先頭のパケットを判断して格納することができ、またパケット抜けが生じた時に正常なデータ格納を実現できる信号処理回路およびその方法を提供する。

【解決手段】 リンクコア101を介してIEEE1394シリアルバスBSを、たとえば分割されて伝送されてきた分割パケットのCIPヘッダ1の第1クワドレットに設定されているDBCの値とFNの値とDBSとの値を用いて、先頭パケットの判断、パケット抜けが生じ途中パケットがこない場合にそのパケット抜けを判断し、正常パケットのFIFO110への格納処理を行う。



## 【特許請求の範囲】

【請求項1】 あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信されるパケットデータを受信してアプリケーション側へ出力する信号処理回路であって、

受信した分割パケットから所望のパケットを選択する手段を有する信号処理回路。

【請求項2】 あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ送信パケット数を示す制御情報が付加されたパケットデータを受信してアプリケーション側へ出力する信号処理回路であって、

受信した分割パケットに付加された上記制御情報のあらかじめ決められたビット情報から先頭パケットをであるか否かを判断する受信回路を有する信号処理回路。

【請求項3】 あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ送信パケット数を示す第1の制御情報および分割パケット数を示す第2の制御情報が付加されたパケットデータを受信してアプリケーション側へ出力する信号処理回路であって、

受信した分割パケットに付加された上記第1の制御情報と（第2の制御情報の値をべき数とする2のべき乗から1を減じた値）との論理積をとり、その結果が0である受信パケットを先頭パケットと判断する受信回路を有する信号処理回路。

【請求項4】 あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ送信パケット数を示す制御情報が付加されたパケットデータを受信してアプリケーション側へ出力する信号処理回路であって、

受信した分割パケットに付加された上記制御情報から次に受信されるパケットの制御情報の値を予測する予測手段と、

今回受信したパケットの制御情報値と上記予測手段により予測された予測値と比較し、不一致の場合にはパケット抜けが生じたものと判別する判別手段とを有する信号処理回路。

【請求項5】 受信データが格納される記憶手段を有し、

上記パケット抜けが生じたものと判別した場合に、今回の受信データを受信したときに格納前のポインター位置が上記記憶手段のバンク先頭であった場合には今回受信したデータは全て格納し、格納前のポインター位置が先頭バンクでなかった場合には、前回正常に格納されたソースパケットが格納されている次のアドレスから次のソースパケットを格納する受信回路を有する請求項4記載の信号処理回路。

【請求項6】 あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ

送信パケット数を示す制御情報が付加されたパケットデータを受信してアプリケーション側へ出力する信号処理方法であって、

受信した分割パケットに付加された上記制御情報から次に受信されるパケットの制御情報の値を予測し、今回受信したパケットの制御情報値と予測した予測値と比較し、不一致の場合にはパケット抜けと判別するを有する信号処理方法。

【請求項7】 あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ送信パケット数を示す制御情報が付加されたパケットデータを受信して一旦記憶手段に格納してアプリケーション側へ出力する信号処理方法であって、

受信した分割パケットに付加された上記制御情報から次に受信されるパケットの制御情報の値を予測し、今回受信したパケットの制御情報値と予測した予測値と比較し、不一致の場合にはパケット抜けと判別し、上記パケット抜けが生じたものと判別した場合に、今回の受信データを受信したときに格納前のポインター位置が上記記憶手段のバンク先頭であった場合には今回受信したデータは全て格納し、

格納前のポインター位置が先頭バンクでなかった場合には、前回正常に格納されたソースパケットが格納されている次のアドレスから次のソースパケットを格納する請求項5記載の信号処理方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、ディジタルシリアルインターフェースに用いられる信号処理回路およびその方法に関するものである。

## 【0002】

【従来の技術】近年、マルチメディア・データ転送のためのインターフェースとして、高速データ転送、リアルタイム転送を実現するIEEE(The Institute of Electrical and Electronic Engineers)1394、High Performance Serial Busが規格化された。

【0003】このIEEE1394シリアルインターフェースのデータ転送には、従来のRequest,Acknowledgeの要求、受信確認を行うアシンクロナス(Asynchronous)転送と、あるノードから125μsに1回必ずデータが送られるアイソクロナス(Isochronous)転送がある。

【0004】このように、2つの転送モードを有するIEEE1394シリアルインターフェースでのデータは、パケット単位で転送が行われる。

【0005】図4は、アイソクロナス通信における1ソースパケットのバイトサイズを示す図である。図4

(A)はDVB(Digital Video Broadcast)仕様時、図4(B)はDSS(Digital Satellite System)仕様時のパケットサイズを示している。

【0006】DVB仕様時のソースパケットサイズは、図4(A)に示すように、4バイトのソースパケットヘッダ(SPH; Source Packet Header)と188バイトのデータの192バイトである。

【0007】これに対して、DSS仕様時のソースパケットサイズは、図4(B)に示すように、4バイトのソースパケットヘッダ(SPH)、10バイトの付加データ、および130バイトのデータの144バイトである。付加バイトはソースパケットヘッダとデータとの間に挿入される。なお、IEEE1394規格では、取り扱う最小データの単位は1クワドレット(quadlet)(=4バイト=32ビット)であるため、トランスポートストリームデータと付加データの合計が32ビット単位で構成できる設定であることが必要である。ただし、デフォルトでは付加バイトなしで設定される。

【0008】図5は、IEEE1394規格のアイソクロナス通信でデータを送信させるときの元のデータと、実際に送信されるパケットとの対応関係の一例を示す図である。

【0009】図5に示すように、元のデータであるソースパケットは、4バイトのソースパケットヘッダと、データ長を調整するためのパディングデータを付加された後、所定の数のデータブロックに分割される。なお、パケットを転送するときのデータの単位が1クワドレット(4バイト)であることから、データブロックや各種ヘッダなどのバイト長は、全て4の倍数に設定される。

【0010】図6は、ソースパケットヘッダのフォーマットを示す図である。図6に示すように、ソースパケットヘッダのうち、25ビットには、たとえば上述したDVB方式等のデジタル衛星放送等で利用されているMPEG(Moving Picture Experts Group)-TS(Transport Stream)データをアイソクロナス通信で送信するときに、ジッタを抑制するために利用されるタイムスタンプ(TimeStamp)が書き込まれる。

【0011】そして、このようなパケットヘッダやCIP(Common Isochronous Packet)ヘッダ等のデータが、所定の数のデータブロックに付加されることによりパケットが生成される。

【0012】図7はアイソクロナス通信用パケットの基本構成例を示す図である。図7に示すように、アイソクロナス通信のパケットは、第1クワドレットが1394ヘッダ(Header)、第2クワドレットがヘッダCRC(Header-CRC)、第3クワドレットがCIPヘッダ1(CIP-Header1)、第4クワドレットがCIPヘッダ2(CIP-Header2)、第5クワドレットがソースパケットヘッダ(SPH)で、第6クワドレット以降がデータ領域である。そして、最後のクワドレットがデータCRC(Data-CRC)である。

【0013】1394ヘッダは、データ長を表すdata-length、このパケット転送されるチャネルの番号(0~6

3のいずれか)を示すchannel、処理のコードを表すcode、および各アプリケーションで規定される同期コードsyにより構成されている。ヘッダCRCは、パケットヘッダの誤り検出符号である。

【0014】CIPヘッダ1は、送信ノード番号のためのSID(Source node ID)領域、データブロックの長さのためのDBS(Data Block Size)領域、パケット化におけるデータの分割数のためのFN(Fraction Number)領域、パディングデータのクワドレット数のためのQPC(Quadlet Padding Count)領域、ソースパケットヘッダの有無を表すフラグのためのSPH領域、アイソクロナスパケットの数を検出するカウンタのためのDBC(Data Block Continuity Counter)領域により構成されている。なお、DBS領域は、1アイソクロナスパケットで転送するクワドレット数を表す。

【0015】CIPヘッダ2は、転送されるデータの種別を表す信号フォーマットのためのFMT領域、および信号フォーマットに対応して利用されるFDF(Format Dependent Field)領域により構成されている。

【0016】SPHヘッダは、トランスポートストリームパケットが到着した軸に固定の遅延値を加えた値が設定されるタイムスタンプ領域を有している。また、データCRCは、データフィールドの誤り検出符号である。

【0017】上述した構成を有するパケットの送受信を行うIEEE1394シリアルインタフェースの信号処理回路は、主としてIEEE1394シリアルバスを直接ドライブするフィジカル・レイヤ回路と、フィジカル・レイヤのデータ転送をコントロールするリンク・レイヤ回路とにより構成される。

【0018】

【発明が解決しようとする課題】上述したIEEE1394シリアルインタフェースにおけるアイソクロナス通信系では、たとえば図8に示すように、アプリケーションである側MPEGトランスポート(Transporter)1にリンク・レイヤ回路2が接続され、リンク・レイヤ回路2はフィジカル・レイヤ回路3を介してシリアルインタフェースバスBSに接続されている。そして、IEEE1394シリアルインタフェースのデータ転送では、送信データおよび受信データは一旦リンク・レイヤ回路2に設けられたFIFO(First-In First-Out)メモリ(以下、単にFIFOという)等の記憶装置に格納される。実際には、アシンクロナスパケット用FIFOとアイソクロナスパケット用FIFOとは別個に設けられる。

【0019】ところで、上述したように通常のMPEGのトランスポートストリームデータの1ソースパケットを分割して送信することがある。この場合、受信側では、分割されて送られてくるパケットの中からソースパケットの先頭のパケットを判断してFIFOへ格納しはじめなければならない。また、分割されて送られてくる

ことから、もし送信途中のバケットがノイズ、その他の要因で抜けたとき、正常なデータの格納ができなくなる。しかし、現在のIEEE1394シリアルインタフェースの信号処理回路では、分割されて送信された受信バケットの処理系システムが確立されていない。

【0020】本発明は、かかる事情に鑑みてなされたものであり、その目的は、シリアルインタフェースの分割バケットの受信時に、先頭のバケットを判断して格納することができ、またバケット抜けが生じた時に正常なデータ格納を実現できる信号処理回路およびその方法を提供することにある。

【0021】

【課題を解決するための手段】上記目的を達成するため、本発明は、あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信されるバケットデータを受信してアプリケーション側へ出力する信号処理回路であって、受信した分割バケットから所望のバケットを選択する手段を有する。

【0022】また、本発明は、あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ送信バケット数を示す制御情報が付加されたバケットデータを受信してアプリケーション側へ出力する信号処理回路であって、受信した分割バケットに付加された上記制御情報のあらかじめ決められたビット情報から先頭バケットをであるか否かを判断する受信回路を有する。

【0023】また、本発明は、あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ送信バケット数を示す第1の制御情報および分割バケット数を示す第2の制御情報が付加されたバケットデータを受信してアプリケーション側へ出力する信号処理回路であって、受信した分割バケットに付加された上記第1の制御情報と（第2の制御情報の値をべき数とする2のべき乗から1を減じた値）との論理積をとり、その結果が0である受信バケットを先頭バケットと判断する受信回路を有する。

【0024】また、本発明は、あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ送信バケット数を示す制御情報が付加されたバケットデータを受信してアプリケーション側へ出力する信号処理回路であって、受信した分割バケットに付加された上記制御情報から次に受信されるバケットの制御情報の値を予測する予測手段と、今回受信したバケットの制御情報値と上記予測手段により予測された予測値と比較し、不一致の場合にはバケット抜けが生じたものと判別する判別手段とを有する。

【0025】また、本発明は、あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ送信バケット数を示す制御情報が付加されたバケットデータを受信してアプリケーション側へ出

力する信号処理方法であって、受信した分割バケットに付加された上記制御情報から次に受信されるバケットの制御情報の値を予測し、今回受信したバケットの制御情報値と予測した予測値と比較し、不一致の場合にはバケット抜けと判別する。

【0026】また、本発明は、あらかじめ決められた時間サイクルでシリアルインタフェースバスを分割されて送信され、かつ送信バケット数を示す制御情報が付加されたバケットデータを受信して一旦記憶手段に格納してアプリケーション側へ出力する信号処理方法であって、受信した分割バケットに付加された上記制御情報から次に受信されるバケットの制御情報の値を予測し、今回受信したバケットの制御情報値と予測した予測値と比較し、不一致の場合にはバケット抜けと判別し、上記バケット抜けが生じたものと判別した場合に、今回の受信データを受信したときに格納前のポインター位置が上記記憶手段のバンク先頭であった場合には今回受信したデータは全て格納し、格納前のポインター位置が先頭バンクでなかった場合には、前回正常に格納されたソースバケットが格納されている次のアドレスから次のソースバケットを格納する。

【0027】本発明の信号処理回路によれば、たとえば受信回路で、受信した分割バケットに付加された制御情報のあらかじめ決められたビット情報から先頭バケットであるか否かが判断される。たとえば、受信した分割バケットに付加された上記第1の制御情報と（第2の制御情報の値をべき数とする2のべき乗から1を減じた値）との論理積がとられ、その結果が0である受信バケットが先頭バケットとして判断される。

【0028】また、本発明の信号処理回路によれば、予測手段で、受信した分割バケットに付加された制御情報から次に受信されるバケットの制御情報の値が予測される。そして、判別手段において、今回受信したバケットの制御情報値と予測手段により予測された予測値とが比較され、比較の結果、不一致の場合にはバケット抜けが生じたものと判別される。

【0029】また、本発明の信号処理方法によれば、受信した分割バケットに付加された制御情報から次に受信されるバケットの制御情報の値が予測され、今回受信したバケットの制御情報値と予測した予測値が比較される。比較の結果、不一致の場合にはバケット抜けと判別される。そして、バケット抜けが生じたものと判別した場合に、今回の受信データを受信したときに格納前のポインター位置が記憶手段のバンク先頭であった場合には今回受信したデータは全て格納され、格納前のポインター位置が先頭バンクでなかった場合には、前回正常に格納されたソースバケットが格納されている次のアドレスから次のソースバケットが格納される。

【0030】

【発明の実施の形態】

## 第1実施形態

図1は、IEEE1394シリアルインタフェースに適用される本発明に係るMPEG用信号処理回路の第1の実施形態を示すブロック構成図である。

【0031】この信号処理回路は、リンク・レイヤ回路10、フィジカル・レイヤ回路20、ホストコンピュータとしてのCPU30により構成されている。また、40はMPEGトランスポートを示している。

【0032】リンク・レイヤ回路10は、CPU30の制御の下、アシンクロナス転送およびアイソクロナス転送の制御、並びにフィジカル・レイヤ回路20の制御を行う。具体的には、図1に示すように、リンクコア(Link Core)101、ホストインタフェース回路(Host I/F)102、アプリケーションインタフェース回路(API/F)103、送信用FIFO(AT-FIFO)104a、受信信用FIFO(AR-FIFO)104bからなるアシンクロナス通信用FIFO104、セルフID用リゾルバ(Resolver)105、アイソクロナス通信用送信前処理回路(TXOPRE)106、アイソクロナス通信用送信後処理回路(TXOPRO)107、アイソクロナス通信用受信前処理回路(TXIPRE)108、アイソクロナス通信用受信前処理回路(TXIPRO)109、アイソクロナス通信用FIFO(I-FIFO)110、およびコンフィギュレーションレジスタ(Configuration Register、以下CFRという)111により構成されている。

【0033】図1の回路において、ホストインタフェース回路102、送信用FIFO104a、アシンクロナス通信の受信信用FIFO104bおよびリンクコア101によりアシンクロナス通信系回路が構成される。そして、アプリケーションインタフェース回路103、送信前処理回路106、送信後処理回路107、受信前処理回路108、受信前処理回路109、FIFO110およびリンクコア101によりアイソクロナス通信系回路が構成される。

【0034】リンクコア101は、アシンクロナス通信用パケットおよびアイソクロナス通信用パケットの送信回路、受信回路、これらパケットのIEEE1394シリアルバスBSを直接ドライブするフィジカル・レイヤ回路20とのインタフェース回路、125 $\mu$ s毎にリセットされるサイクルタイマ、サイクルモニタやCRC回路から構成されている。そして、たとえばサイクルタイマ等の時間データ等はCFR111を通してアイソクロナス通信系処理回路に供給される。

【0035】ホストインタフェース回路102は、主としてホストコンピュータとしてのCPU30と送信用FIFO104a、受信信用FIFO104bとのアシンクロナス通信用パケットの書き込み、読み出し等の調停、並びに、CPU30とCFR111との各種データの送受信の調停を行う。たとえばCPU30からは、アイソクロナス通信用パケットのSPH(ソースパケットヘッ

ダ)に設定されるタイムスタンプ用遅延時間Txdelayがホストインタフェース102を通してCFR111にセットされる。

【0036】送信用FIFO104aには、IEEE1394シリアルバスBSに伝送させるアシンクロナス通信用パケットが格納され、受信信用FIFO104bにはIEEE1394シリアルバスBSを伝送されてきたアシンクロナス通信用パケットが格納される。

【0037】アプリケーションインタフェース回路103は、MPEGトランスポート40とアイソクロナス通信用送信前処理回路106およびアイソクロナス通信用受信前処理回路109とのクロック信号や制御信号等を含むMPEGトランスポートストリームデータの送受信の調停を行う。

【0038】リゾルバ105は、IEEE1394シリアルバスBSを伝送されてきたセルフIDパケットを解析し、CFR111に格納する。

【0039】送信前処理回路106、アプリケーションインタフェース回路103を介してMPEGトランスポート40によるMPEGトランスポートストリームデータを受けて、IEEE1394規格のアイソクロナス通信用としてクワドレット(4バイト)単位にデータ長を調整し、かつ4バイトのソースパケットヘッダ(SPH)を付加し、FIFO110に格納する。

【0040】ソースパケットヘッダを付加するときに受信側のデータ出力時間を決定するタイムスタンプを設定するが、この設定は以下に行われる。まず、MPEGトランスポート40からパケットの最終データを受け取ったタイミングで内部のサイクルレジスタの値をラッチする。次に、CPU30からホストインタフェース102を介してCFR111にセットされた遅延時間Txdelayを上記サイクルレジスタの値に加算する。そして、加算した値をタイムスタンプとして、受け取ったパケットのソースパケットヘッダに挿入(設定)する。

【0041】図2は、ソースパケットヘッダにおけるタイムスタンプの具体的な構成を説明するための図である。図2に示すように、受信側のデータ出力時間を決定するためのタイムスタンプは、25ビットで現時刻を表す。すなわち、タイムスタンプは25ビットで構成され、下位12ビットがサイクルオフセットCO(cycle-offset)領域、上位13ビットがサイクルカウントCC(cycle-count)領域として割り当てられている。サイクルオフセットは0~3071(12b 101111111111)の125 $\mu$ sをカウントし(クロックCLK=24.576MHz)、サイクルカウントは0~7999(13b 1111100111111)の1秒をカウントするものである。したがって、原則として、タイムスタンプの下位12ビットは3072以上を示すことはなく、上位13ビットは8000以上を示すことはない。

【0042】送信後処理回路107は、FIFO110に格納されたソースパケットヘッダを含むデータに対し図7に示すように、1394ヘッダ、CIPヘッダ1, 2を付加してリンクコア101の送信回路に出力する。

【0043】具体的には、図7に示すように、データ長を表すdata-length、このパケット転送されるチャネルの番号(0~63のいずれか)を示すchannel、処理のコードを表すtcode、および各アプリケーションで規定される同期コードsyにより構成した1394ヘッダ、送信ノード番号のためのSID(Source node ID)領域、データブロックの長さのためのDBS(Data Block Size)領域、パケット化におけるデータの分割数のためのFN(Fraction Number)領域、パディングデータのクワドレット数のためのQPC(Quadlet Padding Count)領域、ソースパケットヘッダの有無を表すフラグのためのSPH

領域、アイソクロナスパケットの数を検出するカウンタのためのDBC(Data Block Continuity Counter)領域により構成したCIPヘッダ1、並びに転送されるデータの種類の表す信号フォーマットのためのFMT領域、および信号フォーマットに対応して利用されるFDF(Format Dependent Field)領域により構成したCIPヘッダ2を付加する。

【0044】なお、以上のヘッダの各内容の中で、データブロックの長さのためのデータブロックサイズDBSと、パケット化におけるデータの分割数のためのフラクションナンバーと、1つのソースパケットサイズSPSとは、次の関係式を満足する。

【数1】

$$\dots (1)$$

【0045】また、アイソクロナスパケットの数を検出するカウンタのためのDBCは、データブロックを1つ送る毎に1カウントアップして送信される。

【0046】受信前処理回路108は、リンクコア101を介してIEEE1394シリアルバスBSを、たとえば分割されて伝送されてきたアイソクロナス通信パケットを受けて、受信パケットの1394ヘッダ、CIPヘッダ1, 2等の内容を解析し、データを復元してソースパケットヘッダとデータをFIFO110に格納する。そして、ヘッダの解析処理を行って、分割パケットのCIPヘッダ1の第1クワドレットに設定されているDBCの値とFNの値とDBSとの値を用いて、先頭パケットの判断、パケット抜けが生じ途中パケットがこない場合にそのパケット抜けを判断し、正常パケットのFIFO110への格納処理を行う。

【0047】図3は、受信前処理回路108における先頭パケットの検出およびパケット抜け検出等を行う検出回路の構成例を示すブロック図である。この検出回路1080は、図3に示すように、リンクコア101からの受信データRDTおよび書き込みパルスWRを受けてCIPヘッダ1を抽出し、受信データのDBCの値を出力するCIPヘッダ1抽出回路1081、DBS(CIPヘッダ1のDBS領域の値)個の書き込みパルスを受けるとカウントアップ信号S1082を出力するDBSカウンタ(Qレジスタ)1082、CIPヘッダ1抽出回路1081から出力されたDBCの値を保持するBレジスタ1083、カウントアップ信号S1082を受けるとBレジスタ1083の値に+1しするDBカウントアップ回路1084、DBCカウントアップ回路1084のカウントアップ値が次のパケットのDBCの期待値として格納されるAレジスタ1085、Bレジスタ1083の値とAレジスタ1085の値を比較して一致する場合にはパケットが連続であると判断し、不一致の場合には不連続であると判断して判断結果を示す信号S1

086を出力するDBC連続/不連続判別回路1086、Bレジスタ1083の値と(2のFN乗-1)との論理積をとるアンドゲート1087、およびアンドゲート1087の論理積の結果が格納されるTレジスタ1088により構成される。

【0048】以下に、ソースパケット先頭の検出、パケット抜け検出にもかかわるDBCカウント処理、並びにそれに基づくFIFOへの格納位置のリセット処理、およびパケット抜けが起こった場合(DBCの不連続を検出した場合)の処理の具体的な処理手順について順をおって説明する。

#### 【0049】DBCカウント処理

ここで行う処理の1つに、次のパケットのDBC期待値を求めることがある。この処理は、ソースパケット先頭の検出、パケット抜け検出にもかかわる。以下に、具体的な処理手順を示す。

【0050】①CIPヘッダ1の1クワドレット目が書き込まれたら、その中のDBCをAレジスタ1085およびBレジスタ1083に格納する。また、Qレジスタ1082をリセットする。

【0051】②CIPヘッダ(2クワドレット目)に続くデータが1クワドレット書き込まれるたびにQレジスタ1082の値に+1して、DBSと比較する。比較の結果、等しい場合には、Aレジスタ1085の値を+1し、Qレジスタ1082をリセットする。また、Bレジスタの値1083と(2のFN乗-1)との論理積の結果をTレジスタ1089に格納する。そして、この論理積が0であることにより、ソースパケットの先頭であることを判断する。具体的には、DBSカウンタ(Qレジスタ)1082でDBS個の書き込みパルスを受けるとカウントアップ信号S1082を出力し、DBカウントアップ回路1084でこのカウントアップ信号S1082を受けてBレジスタ1083の値に+1し、そのカウントアップ値を次のパケットのDBCの期待値としてA



レジスタ1085に格納する。また、アンドゲート1088でBレジスタ1083の値と(2のFN乗-1)との論理積をとり、論理積の結果がTレジスタ1089に格納される。この論理積が0であることにより、ソースパケットの先頭であることを判断する。なお、ここで検出したソースパケットの先頭は、データCRCのチェック前であるため間違っている場合もあり得るが、そのときは、データCRCエラーとしてそのバンクがエラーパケットになるので問題ない。以上の処理をパケットの終わりまで繰り返す。

【0052】③データCRCが正常ならば、DBCの期待値をAレジスタに更新する。なお、この場合、DBC連続性チェックスキップフラグがセットされている場合にはリセットする。また、現行のDBCの値を示すBレジスタの値が次の期待値を示すAレジスタの値が不一致の場合には、後述するDBCの不連続エラー処理を行う。データCRCが異常ならば、データCRCエラー処理を行う。なお、CFR111のCIPヘッダの領域は、データCRCが正常になった時点で更新される。

【0053】格納位置のリセット処理について  
分割伝送の通信開始時などでは、パケットバンク(FIFO110のバンク)の先頭に正しくソースパケットの先頭が格納されなくなる。そこで、上述したDBCカウント処理で説明したデータCRCが正常で、DBCの期待値がAレジスタに更新された後で、FIFO110への書き込みポインタがパケットバンクの先頭に位置し、DBCの値(Bレジスタの値)と(2のFN乗-1)との論理積の結果が0でない、という条件が成り立つ場合には、次のリセット処理を行う。すなわち、DBC連続性チェックスキップフラグをセットし、以後の受信において、FIFO110への受信データの格納は、ソースパケットの先頭がくるまで行わない。なお、ソースパケットの先頭を含まないために受信パケットを全て捨てるときには、DBC連続チェックスキップフラグを再セットする。受信開始時には、最初の受信データのソースパケット先頭のものととは限らないので、まず、上記リセット処理を行う。

【0054】パケット抜けが起こった場合  
この処理は、データCRCが正常になってから実行される。すなわち、この処理が始まったときには、FIFO110には今回の受信データの全てが格納されている。ここでの処理は、今回の受信データを最初に格納したFIFO位置がパケットバンクの先頭か否かで次の2つに分かれる。

1) 格納前のポインタ位置がバンク先頭であった場合  
データCRCが正常であるので、今回格納したデータは全て有効なデータである。しかし、手前にパケット抜けがある。ここで、最初に格納したバンクのDBC不連続マークをセットし、パケット抜けの処理を始める。

## 2) 格納前のポインタ位置がバンク先頭でなかった場合

パケット抜けが確認されたソースパケット全てをすてる。すなわち、前回正常に格納されたソースパケットが格納されている次のFIFOアドレスからつぎのソースパケットを格納する手続きに入る。なお、格納前のポインタ位置については、前述のDBCカウント処理におけるBレジスタと(2のFN乗-1)の論理積が0ならバンク先頭と見なしてよい。

【0055】また、受信前処理回路108は、上述したヘッダの解析処理において、CIPヘッダ1の第1クワドレットに設定されているDBC領域のデータから、受信したソースパケットが正常な連続データであるか不連続であるかを判断するが、その判断結果は、たとえば図2に示すように、ソースパケットヘッダの上位7ビットにうちの最上位ビットから2ビット目のビット30に割り当てられたエラービットERMにセットする。具体的には、正常の場合には、ソースパケットヘッダの上位7ビットにうちの最上位ビットから2ビット目のビット30に割り当てられたエラービットERMは「0」に保持する。一方、不連続であると判断した場合には、このエラービットERMを「1」にセットする。なお、エラービットERMを設定(書き込みを行う)前には、ソースパケットヘッダの上位7ビットの情報は、CFR111(レジスタSPH-RSV)に格納するために回避される。

【0056】受信後処理回路109は、FIFO110に格納されたソースパケットヘッダのタイムスタンプの時間データを読み出し、読み出したタイムスタンプデータ(TS)とリンクコア101内にあるサイクルタイムによるサイクルタイム(CT)を比較し、サイクルタイムCTがタイムスタンプデータTSより大きい場合には、FIFO110に格納されているソースパケットヘッダを除くデータをアプリケーションインタフェース回路103を介し、MPEG用トランスポートストリームデータとしてMPEGトランスポート40に出力する。そして、このFIFO110の読み出し時に、エラービットERMが「1」にセットされている場合には、すなわちDBC不連続マークがセットされているパケットを出力する場合には、まずエラービットをリセットし、たとえばダミーのエラーパケットを1つ出力する。なお、このエラーパケットはDBCの不連続を示すために、FIFOにないパケットを挿入するものである。なお、次のデータ読み出しは、もはやDBC不連続マークはセットされていないことから、FIFO110から通常通り行う。

【0057】以上説明したように、本実施形態によれば、リンクコア101を介してIEEE1394シリアルバスBSを、たとえば分割されて伝送されてきた分割パケットのCIPヘッダ1の第1クワドレットに設定さ

れているDBCの値とFNの値とDBSとの値を用いて、先頭パケットの判断、パケット抜けが生じ途中パケットがない場合にそのパケット抜けを判断し、正常パケットのFIFO110への格納処理を行う受信前処理回路108を設けたので、シリアルインタフェースの分割パケットの受信時に、先頭のパケットを判断して格納することができ、またパケット抜けが生じた時に正常なデータ格納を実現できる利点がある。

#### 【0058】

【発明の効果】以上説明したように、本発明によれば、受信側は分割されて送られてくるパケットの中からソースパケットの先頭のパケットを判断して記憶手段に格納することができる。また、分割されて送られてくる途中でパケットが抜けたとき正常なデータ格納ができる利点がある。

#### 【図面の簡単な説明】

【図1】IEEE1394シリアルインタフェースに適用される本発明に係るMPEG用信号処理回路の一実施形態を示すブロック構成図である。

【図2】タイムスタンプの具体的な構成を説明するための図である。

【図3】本発明に係る先頭パケットの検出およびパケット抜け検出等を行う検出回路の構成例を示すブロック図である。

【図4】アイソクロナス通信における1ソースパケットのバイトサイズを示す図であって、(A)はDVB仕様時、(B)はDSS仕様時のパケットサイズを示す図で

ある。

【図5】IEEE1394規格のアイソクロナス通信でデータを送信させるときの元のデータと、実際に送信されるパケットとの対応関係の一例を示す図である。

【図6】ソースパケットヘッダのフォーマットを示す図である。

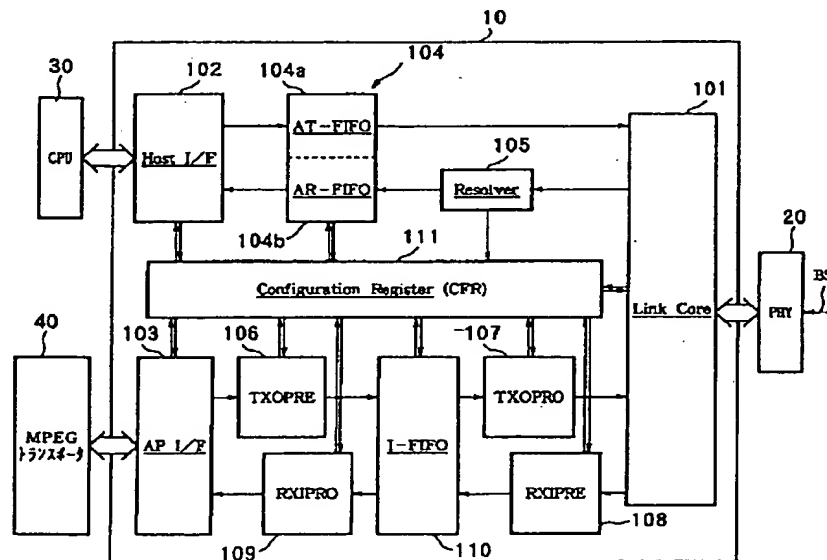
【図7】アイソクロナス通信用パケットの基本構成例を示す図である。

【図8】IEEE1394シリアルインタフェースにおけるアイソクロナス通信系回路の基本構成を示すブロック図である。

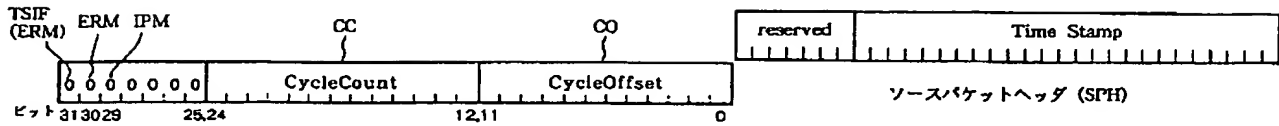
#### 【符号の説明】

10…リンク・レイヤ回路、101…リンクコア(Link Core)、102…ホストインタフェース回路(Host I/F)、1032…アプリケーションインタフェース回路(AP I/F)、104…アシンクロナス通信用FIFO、送信用FIFO(AT-FIFO)、104b…受信用FIFO(AR-FIFO)、105…セルフID用リゾルバ(Resolver)、106…アイソクロナス通信用送信前処理回路(TXOut1)、107…アイソクロナス通信用送信後処理回路(TXOut2)、108…アイソクロナス通信用受信前処理回路(TXIn1)、109…アイソクロナス通信用受信前処理回路(TXIn2)、110…アイソクロナス通信用FIFO(I-FIFO)、111…コンフィギュレーションレジスタ(CFR)、20…フィジカル・レイヤ回路、30…CPU、40…MPEGトランスポート。

【図1】

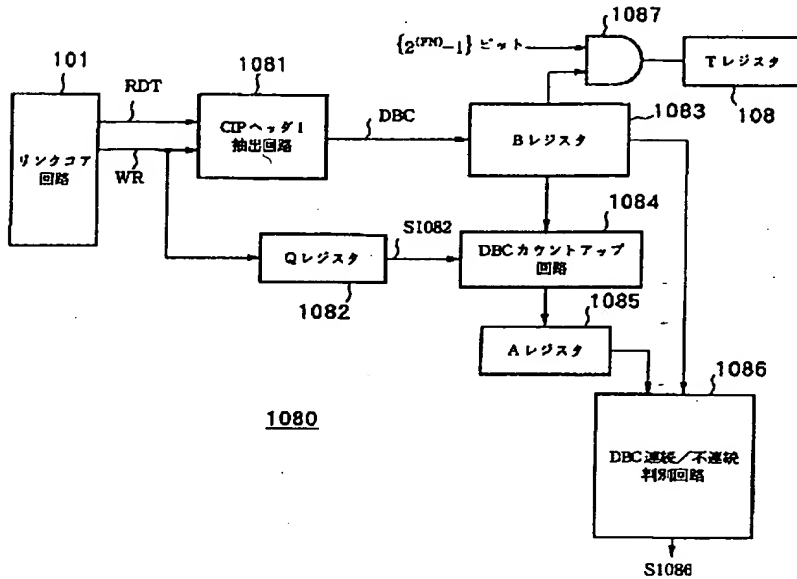


【図2】

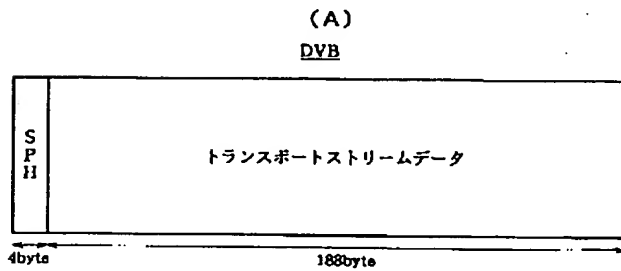


【図6】

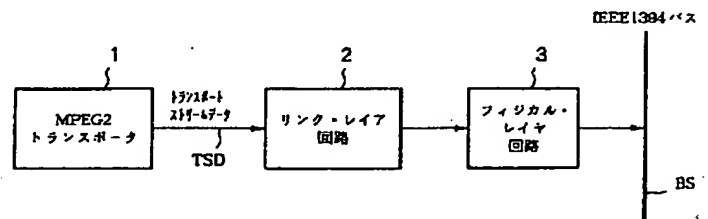
【図3】



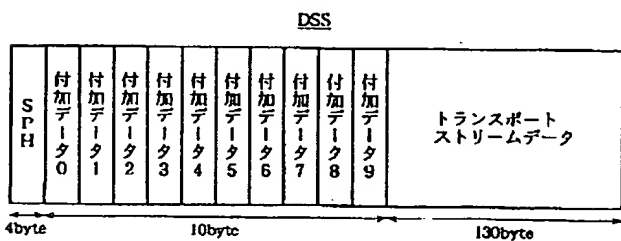
【図4】



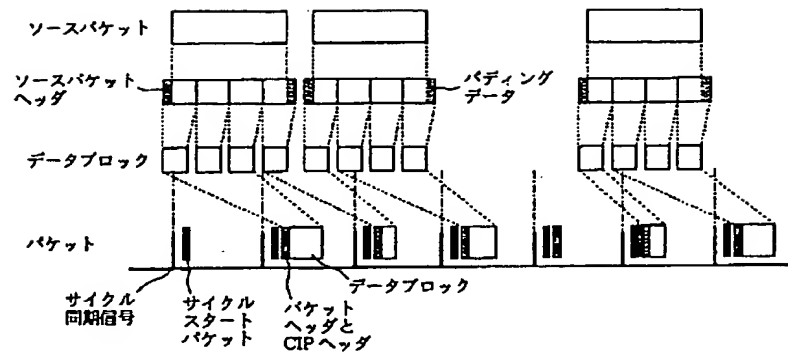
【図8】



(B)



【図5】



【図7】

